



AO

#2

2622

35.G2828

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of: )  
KIMIHIKO FUKAWA ) Examiner: N.Y.A.  
Application No.: 09/902,703 ) Group Art Unit: N.Y.A.  
Filed: July 12, 2001 )  
For: IMAGE PROCESSING APPARATUS ) September 10, 2001

Commissioner for Patents  
Washington, D.C. 20231

RECEIVED

SEP 18 2001

CLAIM TO PRIORITY

Technology Center 2600

Sir:

Applicant hereby claims priority under the International Convention and all rights to which he is entitled under 35 U.S.C. § 119 based upon the following Japanese

Priority Application:

2000-227000, filed July 27, 2000.

A certified copy of the priority document is enclosed.

Applicant's undersigned attorney may be reached in our New York office by telephone at (212) 218-2100. All correspondence should continue to be directed to our address given below.

Respectfully submitted,

Paul P. Diana  
Attorney for Applicant

Registration No. 29,286

FITZPATRICK, CELLA, HARPER & SCINTO  
30 Rockefeller Plaza  
New York, New York 10112-3801  
Facsimile: (212) 218-2200

NY-MAIN198020v1

CP9 2863 US  
09/902,703



日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application:

2000年 7月27日

CERTIFIED COPY OF  
PRIORITY DOCUMENT

出願番号  
Application Number:

特願2000-227000

出願人  
Applicant(s):

キヤノン株式会社

RECEIVED

SEP 18 2001

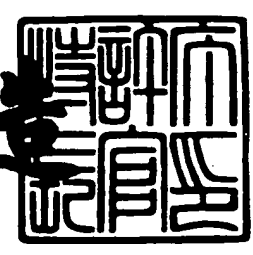
Technology Center 2600



2001年 8月17日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



【書類名】 特許願

【整理番号】 4237038

【提出日】 平成12年 7月27日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H04N 5/335

【発明の名称】 画像処理装置

【請求項の数】 17

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社  
内

【氏名】 府川 仁彦

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【電話番号】 03-3758-2111

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会社  
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会  
社内

【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

【選任した代理人】

【識別番号】 100110009

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会  
社内

【弁理士】

【氏名又は名称】 青木 康

【電話番号】 03-3758-2111

【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 複数の画素が配列された第 1 の画素列と、前記第 1 の画素列に対して主走査方向にずらして複数の画素を配列した第 2 の画素列とを同一半導体チップ上に形成したセンサチップを複数接続した画像処理装置。

【請求項 2】 それぞれが、複数の画素が配列された第 1 の画素列と前記第 1 の画素列に対して主走査方向にずらして複数の画素を配列した第 2 の画素列とを同一半導体チップ上に形成した、複数のセンサチップと、

前記第 1 の画素列からの信号と、前記第 2 の画素列からの信号とを合成する合成手段とを有し、

前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置。

【請求項 3】 それぞれが、複数の画素が配列された第 1 の画素列と前記第 1 の画素列に対して主走査方向にずらして複数の画素を配列した第 2 の画素列とを同一半導体チップ上に形成した、複数のセンサチップと、

前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含まれている前記第 1 の画素列からの信号が読み出される第 1 の出力線と、

前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含まれている前記第 2 の画素列からの信号が読み出される第 2 の出力線と、

前記第 1 の出力線と、前記第 2 の出力線に順次信号を出力するように前記複数のセンサチップを駆動する駆動手段と、

前記複数のセンサチップ外部に設けられた、前記第 1 の出力線及び第 2 の出力線からの信号を合成する合成手段とを有し、

前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置。

【請求項 4】 アナログディジタル変換回路が前記合成手段の後段に設けられ、前記第 1 の画素列及び前記第 2 の画素列からの信号は、前記合成手段によって合成された後に、ディジタル信号に変換されることを特徴とする請求項 2 又は請

求項3に記載の画像処理装置。

【請求項 5】 アナログディジタル変換回路が前記合成手段の前段に設けられ、前記第 1 の画素列及び前記第 2 の画素列からの信号は、前記アナログディジタル変換回路によってディジタル信号に変換された後に、合成されることを特徴とする請求項2又は請求項3に記載の画像処理装置。

【請求項 6】 前記第 1 の画素列からの信号のリファレンスレベルを調整する第 1 の基準レベル調整手段と、前記第2の画素列からの信号のリファレンスレベルを調整する第2の基準レベル調整手段とを有し、前記第 1 及び第 2 の基準レベル調整手段は、前記合成手段の前段に設けられていることを特徴とする請求項 2乃至請求項5のいずれか1項に記載の画像処理装置。

【請求項 7】 それぞれが、複数の画素を含む撮像領域と、前記撮像領域の所定の領域から信号を選択的に読み出すための第 1 の読み出し手段と、前記第 2 の撮像領域の所定の領域から信号を選択的に読み出すための第 2 の読み出し手段と、前記第 1 の読み出し手段から読み出される信号を出力するための第 1 の出力部と、前記第2の読み出し手段から読み出される信号を出力するための第2の出力部とを同一半導体チップ上に形成した、複数のセンサチップと、

前記第1の出力部と前記第 2 の出力部からの信号を合成する合成手段とを有し

、  
前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置。

【請求項 8】 それぞれが、複数の画素を含む撮像領域と、前記撮像領域の所定の領域から信号を選択的に読み出すための第 1 の読み出し手段と、前記撮像領域の所定の領域から信号を選択的に読み出すための第 2 の読み出し手段と、前記第 1 の読み出し手段から読み出される信号を出力するための第 1 の出力部と、前記第2の読み出し手段から読み出される信号を出力するための第2の出力部とを同一半導体チップ上に形成した、複数のセンサチップと、

前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含まれている前記第 1 の出力部からの信号が読み出される第 1 の出力線と、

前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含

まれている前記第2の出力部からの信号が読み出される第2の出力線と、

前記第1の出力線と、前記第2の出力線に順次信号を読み出すように前記複数のセンサチップを駆動する駆動手段と、

前記複数のセンサチップ外部に設けられた、前記第1の出力線及び第2の出力線からの信号を合成する合成手段とを有し、

前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置。

【請求項9】 アナログデジタル変換回路が前記合成手段の後段に設けられ、前記第1の画素列及び前記第2の画素列からの信号は、前記合成手段によって合成された後に、デジタル信号に変換されることを特徴とする請求項7又は請求項8に記載の画像処理装置。

【請求項10】 アナログデジタル変換回路が前記合成手段の前段に設けられ、前記第1の画素列及び前記第2の画素列からの信号は、前記アナログデジタル変換回路によってデジタル信号に変換された後に、合成されることを特徴とする請求項7又は請求項8に記載の画像処理装置。

【請求項11】 前記第1の画素列からの信号のリファレンスレベルを調整する第1の基準レベル調整手段と、前記第2の画素列からの信号のリファレンスレベルを調整する第2の基準レベル調整手段とを有し、前記第1及び第2の基準レベル調整手段は、前記合成手段の前段に設けられていることを特徴とする請求項7乃至請求項10のいずれか1項に記載の画像処理装置。

【請求項12】 前記第2の画素列が前記第1の画素列に対して、主走査方向に1/2画素ピッチずらして配置していることを特徴とする請求項1乃至請求項11のいずれか1項に記載の画像処理装置。

【請求項13】 各センサチップの最初の画素と、最終画素が異なる画素列に配置されていることを特徴とする請求項1乃至請求項12のいずれか1項に記載の画像処理装置。

【請求項14】 各センサチップにおいて、第1の画素列の総画素数と第2の画素列の総画素数が等しく構成されていることを特徴とする請求項1乃至請求項13のいずれか1項に記載の画像処理装置。



【請求項 1 5】 全てのセンサチップの最初の画素が、同一画素配列であることを特徴とする請求項1乃至請求項14のいずれか1項に記載の画像処理装置。

【請求項 1 6】 前記第 1 の画素列の中心と前記第 2 の画素列の中心の副走査方向の距離が、画素の主走査方向のピッチの整数倍になるように配置していることを特徴とする請求項1乃至請求項15のいずれか1項に記載の画像処理装置。

【請求項 1 7】 原稿を照射する光源と、前記原稿を照射した光の反射光を前記複数のセンサチップに導くレンズアレイと、を有することを特徴とする請求項1乃至請求項16のいずれか1項に記載の画像処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、例えばスキャナ等の画像処理装置に関する。

【 0 0 0 2 】

【従来の技術】

従来の密着型イメージセンサ（以下CISとする）を用いた画像処理装置においてはCISのセンサチップ内の画素の配列構成は主走査方向一列に画素が配列しており、画素からの信号は、一つの出力部からセンサチップ外部に出力され、A/D変換、シェーディング補正等の画像処理を行っていた。

【 0 0 0 3 】

【発明が解決しようとする課題】

縮小光学系CCDを用いた画像処理装置のみならず、CISを用いた画像処理装置においても高解像度化は進んでいるが、CISは等倍光学系であるため高解像度にするには画素の受光部を縮小することが必至であるが、CISとして感度を維持することは困難である。

【 0 0 0 4 】

本発明の目的は上述のような点に鑑みて、感度低下をなくし、高解像な画像取得が可能な画像処理装置を提供することにある。

【 0 0 0 5 】

【課題を解決するための手段】

上記目的を達成するために、複数の画素が配列された第 1 の画素列と、前記第 1 の画素列に対して主走査方向にずらして複数の画素を配列した第 2 の画素列とを同一半導体チップ上に形成したセンサチップを複数接続した画像処理装置を提供する。

## 【 0 0 0 6 】

また、それぞれが、複数の画素が配列された第 1 の画素列と前記第 1 の画素列に対して主走査方向にずらして複数の画素を配列した第 2 の画素列とを同一半導体チップ上に形成した、複数のセンサチップと、前記第 1 の画素列からの信号と、前記第 2 の画素列からの信号とを合成する合成手段とを有し、前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置を提供する。

## 【 0 0 0 7 】

また、それぞれが、複数の画素が配列された第 1 の画素列と前記第 1 の画素列に対して主走査方向にずらして複数の画素を配列した第 2 の画素列とを同一半導体チップ上に形成した、複数のセンサチップと、前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含まれている前記第 1 の画素列からの信号が読み出される第 1 の出力線と、前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含まれている前記第 2 の画素列からの信号が読み出される第 2 の出力線と、前記第 1 の出力線と、前記第 2 の出力線に順次信号を出力するように前記複数のセンサチップを駆動する駆動手段と、前記複数のセンサチップ外部に設けられた、前記第 1 の出力線及び第 2 の出力線からの信号を合成する合成手段とを有し、前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置を提供する。

## 【 0 0 0 8 】

また、それぞれが、複数の画素を含む撮像領域と、前記撮像領域の所定の領域から信号を選択的に読み出すための第 1 の読み出し手段と、前記撮像領域の所定の領域から信号を選択的に読み出すための第 2 の読み出し手段と、前記第 1 の読み出し手段から読み出される信号を出力するための第 1 の出力部と、前記第 2 の

読み出し手段から読み出される信号を出力するための第2の出力部とを同一半導体チップ上に形成した、複数のセンサチップと、前記第1の出力部と前記第2の出力部からの信号を合成する合成手段とを有し、前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置を提供する。

## 【 0 0 0 9 】

また、それぞれが、複数の画素を含む撮像領域と、前記撮像領域の所定の領域から信号を選択的に読み出すための第1の読み出し手段と、前記撮像領域の所定の領域から信号を選択的に読み出すための第2の読み出し手段と、前記第1の読み出し手段から読み出される信号を出力するための第1の出力部と、前記第2の読み出し手段から読み出される信号を出力するための第2の出力部とを同一半導体チップ上に形成した、複数のセンサチップと、前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含まれている前記第1の出力部からの信号が読み出される第1の出力線と、前記複数のセンサチップ外部に設けられた、それぞれの前記センサチップに含まれている前記第2の出力部からの信号が読み出される第2の出力線と、前記第1の出力線と、前記第2の出力線に順次信号を読み出すように前記複数のセンサチップを駆動する駆動手段と、前記複数のセンサチップ外部に設けられた、前記第1の出力線及び第2の出力線からの信号を合成する合成手段とを有し、前記合成手段は、前記複数のセンサチップに対して共通に設けられ、前記複数のセンサチップから順次に信号が入力されることを特徴とする画像処理装置を提供する。

## 【 0 0 1 0 】

## 【発明の実施の形態】

以下に、図面を参照して本発明の一実施形態の画像処理装置を詳細に説明する。

## 【 0 0 1 1 】

図1は本発明の一実施形態の画像処理装置108であり、以下に図1を用いて画像処理装置の構成について説明する。

## 【 0 0 1 2 】

101は密着型のイメージセンサ（CIS）であり、LED光源(図示せず)からの光を導光体104により原稿台ガラス105上の読取原稿106に照射し、その反射光をレンズアレイ103を介してマルチチップセンサ102で受光する。CISを搭載したキャリアッジを副走査方向に移動させながらCISからの出力信号を信号処理回路107にて処理してインターフェースを通じて、パーソナルコンピュータなどの本実施の形態に係る画像処理装置のホスト装置となる外部装置との間でコントロール信号の受容や画像信号の送出を行う。

## 【 0 0 1 3 】

図2は、本実施の形態の画像処理装置における密着型イメージセンサ（CIS）の撮像部である複数のセンサチップを同一基板上で接続したマルチチップセンサ102を示す概略図であり、図3は、図2のマルチチップセンサの動作タイミング図である。以下に図2、図3を用いて、マルチチップセンサの構成及び動作について説明する。

## 【 0 0 1 4 】

図2において、200は、原稿等の被写体像を撮像する撮像領域であり、201は複数の画素が主走査方向に配列された第一の画素列であり、202は複数の画素が主走査方向に配列された第二の画素列である。各画素の大きさは一辺が $22\mu\text{m}$ の正方形であり、主走査方向に1200dpiの読取解像度を持っており、第二の画素列は第一の画素列に対して主走査方向に画素の配列ピッチの半分即ち $11\mu\text{m}$ ずらして配置されている。従って、本実施の形態における画像処理装置は第一の画素列からの出力信号と第二の画素列からの出力信号を合成することで主走査方向の読取解像度を2400dpiにすることができる。また副走査方向に関しては第一の画素列と第二の画素列の副走査方向のライン間距離は各画素の主走査方向の中心間距離と等しくなる様に構成されている。

## 【 0 0 1 5 】

各センサチップの第一の画素列201及び第二の画素列202内の受光部で蓄積された電荷は図2における主走査ライン同期信号301に従ってそれぞれ第一の蓄積部203及び第二の蓄積部204に転送され、各受光部では次のラインの蓄積が行われる。次に、読み出し信号302に従って、第一センサチップ上の第一の蓄積部203及び

第二の蓄積部204で蓄積されている電荷はそれぞれ、第一のシフトレジスタ部（第1の読み出し手段）205及び第二のシフトレジスタ部（第2の読み出し手段）206に転送される。信号電荷が蓄積部からレジスタ部に転送されている間シフトレジスタは第一のクロック信号303及び第二のクロック信号304に従って停止している。

## 【 0 0 1 6 】

その後第1のシフトレジスタ部に転送された電荷はクロック信号303に従って第一の出力部207から第1の出力線209に、画素信号310(S11,S13,...)として出力される。また、第2のシフトレジスタ部に転送された電荷はクロック信号304に従って第2の出力部208から第2の出力線210に画素信号311(S12,S14,...)として出力される。

## 【 0 0 1 7 】

第一センサチップは動作判別信号305がHighの間動作しているが動作判別信号305がLowになると第一センサチップからの出力が終了する。そして、第二センサチップの動作判別信号309がHighになり、第二センサチップの蓄積部からレジスタ部への読み出し信号306及びクロック信号307,308に従って第二センサチップから画素信号310(S21,S23,...)及び311(S22,S24,...)が出力される。

## 【 0 0 1 8 】

以降同様な手順で第三センサチップ、第四センサチップと順番に蓄積部の電荷がシフトレジスタ部に転送され逐次出力される。

## 【 0 0 1 9 】

図2のマルチチップセンサ102の第一の出力線209及び第二の出力線210からの画素信号は図4で示すように、マルチチップセンサ102外部でマルチプレクサ404にて合成される。以下に図4のブロック図及び図5の動作タイミング図を用いて本実施形態の画像処理装置における、第1の画素列からの画素信号と第2の画素列からの画素信号の合成について説明する。

## 【 0 0 2 0 】

マルチチップセンサ102の第一の画素列からの画素信号501は相関2重サンプリング(CDS)回路（基準レベル調整手段）402において、各画素のリファレンスレベ

ルと信号レベルの差分をクランプ信号502及びサンプリング信号503によりリファレンス電位(VCLP)を基準にして出力信号507として出力される。

#### 【 0 0 2 1 】

同様にして第二の画素列からの画素信号502はCDS回路403において、各画素のリファレンスレベルと信号レベルの差分をクランプ信号502及びサンプリング信号503によりリファレンス電位(VCLP)を基準にして出力信号508として出力される。

#### 【 0 0 2 2 】

それぞれの出力信号507,508はマルチプレクサ（合成手段）404に入力され、マルチプレクサ入力パルス509がHighのときには第一の画素列の出力信号507を選択し、マルチプレクサ入力パルス509がLowのときには第二の画素列の出力信号508を選択する。従って、マルチプレクサ回路404の出力信号510は、第一の画素列の出力信号507と第二の画素列の出力信号508が交互出力（合成）された1ラインのアナログ信号として出力される。

#### 【 0 0 2 3 】

本実施の形態では、センサチップを複数接続したマルチチップセンサであるため、それぞれのセンサチップ内に、第1の画素列からの信号と第2の画素列からの信号の合成を行うための回路を設けると、その回路部分が不感領域となりセンサチップとセンサチップの間を連続性のある画像とすることができない。そのため図4のようにセンサチップ外部にマルチプレクサを設けることによって、センサチップとセンサチップの間に合成を行うための回路を設けないで済み、連続性のある画像が得られる。また、マルチプレクサをセンサチップ毎に設けず、複数のセンサチップで共通に用い、第1センサチップから順次信号を入力するようにしたことにより、装置の小型を図ることが出来る。さらに、CDS回路をマルチプレクサの前に設けることによって、正確にリファレンスレベルと信号レベルをサンプリングできる。

#### 【 0 0 2 4 】

CIS101内のマルチプレクサ404からの出力信号は図6のような信号処理回路107によって処理される。以下に図6を用いて信号処理回路の動作を説明する。

## 【 0 0 2 5 】

AFE回路602は、CIS101より出力された信号にアンプ増幅、DCオフセット補正、A/D変換等の処理を行い、最終的に例えば12ビットのデジタル画像データを出力するようなアナログ・プリプロセッサである。

## 【 0 0 2 6 】

シェーディングRAM603は、CIS601によって標準白色板を読み取って作成された基準レベルのデータがシェーディング補正データとして記憶されている。シェーディング補正回路604は前記シェーディングRAM603のデータに基づいて読取原稿を読み取って生成した画像データのシェーディング補正を行う。

## 【 0 0 2 7 】

ガンマ変換回路605は、読み取られた画像データをガンマ変換するためのものであり、ホストコンピュータによってあらかじめ設定されたガンマカーブに従って行う。

## 【 0 0 2 8 】

バッファRAM606は、実際の読み取り動作とホストコンピュータとの通信におけるタイミングを合わせるために、画像データを1次的に記憶させるためのRAMである。

## 【 0 0 2 9 】

パッキング／バッファRAM制御回路607は、ホストコンピュータよりあらかじめ設定された画像出力モード（2値、4ビット多値、8ビット多値、24ビット多値）に従ったパッキング処理を行った後にそのデータをバッファRAM606に書き込む処理と、インターフェース回路608にバッファRAM606から画像データを読み込んで出力させる。

## 【 0 0 3 0 】

インターフェース回路608は、パーソナルコンピュータなどの本実施の形態に係る画像処理装置のホスト装置となる外部装置609との間でコントロール信号の受容や画像信号の送出を行う。

## 【 0 0 3 1 】

611は駆動信号発生回路（駆動手段）であり、CPU610からの命令によりCIS101

内のマルチチップセンサに図3のようなクロックパルスを、CDS回路402,403及びマルチプレクサに図5のようなクロックパルスを供給する。

【 0 0 3 2 】

以上説明した実施の形態では、アナログ信号の状態（A/D変換回路の前段）で第1画素列からの信号と第2画素列からの信号の合成を行っているが、図7に示すようにデジタル信号に変換した後（A/D変換回路の後段）に、合成を行うようにしてもよい。

【 0 0 3 3 】

つまり、図7に示すようにCIS101'の第1画素列及び第2画素列からの信号はそれぞれ、AFE回路602'に含まれるA/D変換回路によってデジタル信号に変換された後、一旦ROM（メモリ）620、621に蓄積され、その後マルチプレクサ404'によって合成される。ここで、CDS回路402の機能は、AFE回路602'に含まれている。そして、その後の処理は、上記で説明した図6と同じである。

【 0 0 3 4 】

また、上記で説明した画像処理装置108、108'は、シェーディング補正回路等を含んでいるが、シェーディング回路よりも後段の処理及びCPU610の処理を外部装置で行うようにし、画像処理装置における信号処理を簡略した構成のもであってもよい。

【 0 0 3 5 】

また、上記の実施の形態では画素列の副走査方向のライン間隔を1ライン間隔としたが副走査方向の受光部の長さを大きくし画素を長方形で形成し、副走査方向のライン間隔を2倍以上の整数倍とすることで感度を上げることも可能である。

【 0 0 3 6 】

また、主走査方向の画素サイズを小さくして画素間の非受光部を大きくすることでセンサチップ端面からの距離を増すことができ、また解像力(MTF)を高めることも可能である。

【 0 0 3 7 】

さらに、上記の実施の形態では、CCD構成のセンサチップを説明したが、MOS型



等の他のセンサチップであってもよい。

【 0 0 3 8 】

【発明の効果】

本発明によれば、画素の受光部面積を小さくすることなく解像度を上げることができる。

【図面の簡単な説明】

【図 1】

画像処理装置の全体を示す図である。

【図 2】

マルチチップセンサを示す図である。

【図 3】

マルチチップセンサの動作タイミング図である。

【図 4】

密着型イメージセンサ（CIS）の一部分を示す図である。

【図 5】

相関2重サンプリング（CDS）回路及びマルチプレクサの動作タイミングを示す図である。

【図 6】

信号処理回路の詳細図である。

【図 7】

信号処理回路の詳細図である。

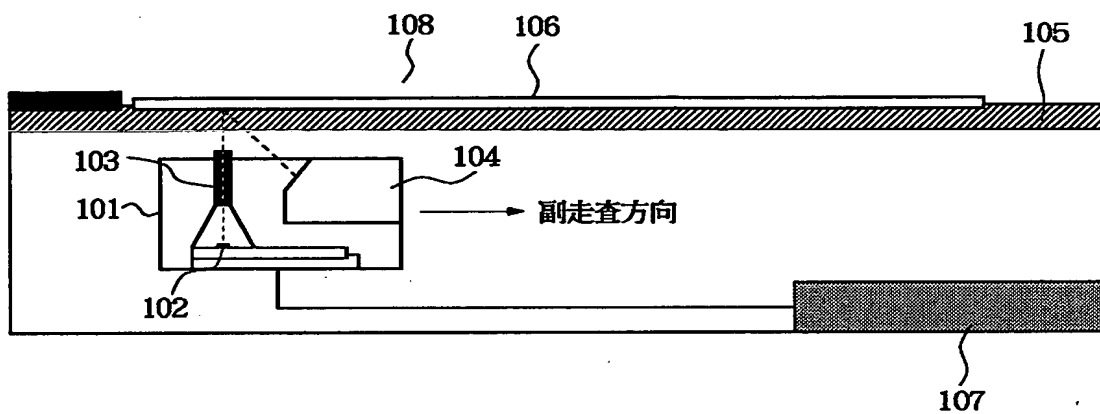
【符号の説明】

- 1 0 1 密着型イメージセンサ（C I S）
- 1 0 2 マルチチップセンサ
- 1 0 3 セルフオックレンズアレイ
- 1 0 4 導光体
- 1 0 5 原稿台ガラス
- 1 0 6 読取原稿
- 1 0 7 信号処理回路

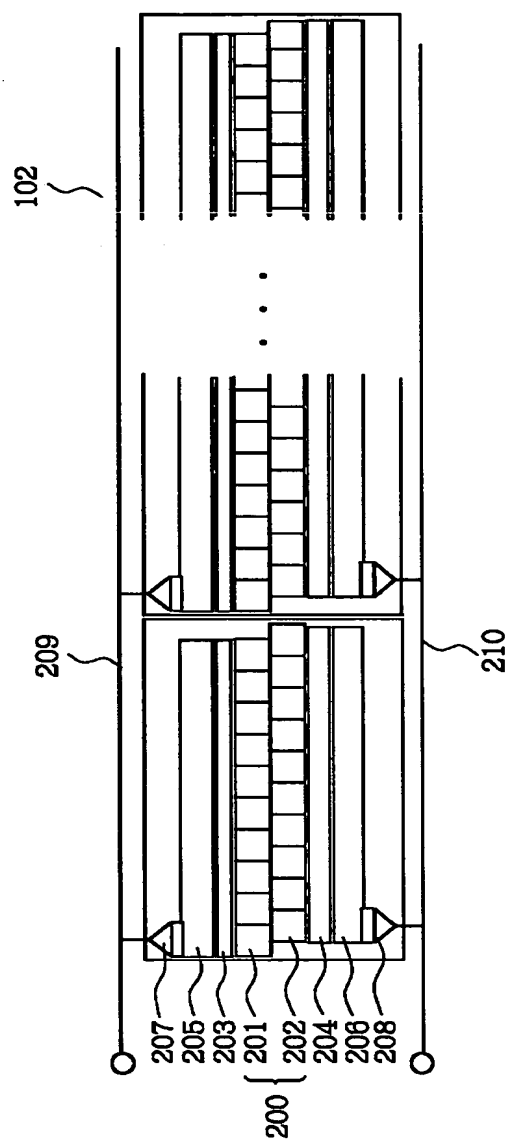
- 2 0 0 撮像領域
- 2 0 1 第一の画素列
- 2 0 2 第二の画素列
- 2 0 3 第一の蓄積部
- 2 0 4 第二の蓄積部
- 2 0 5 第一のシフトレジスタ部
- 2 0 6 第二のシフトレジスタ部
- 2 0 7 第一の出力部
- 2 0 8 第二の出力部
- 2 0 9 第 1 の出力線
- 2 1 0 第 2 の出力線
- 4 0 2、4 0 3 相関 2 重サンプリング (C D S) 回路
- 4 0 4、4 0 4' マルチプレクサ

【書類名】 図面

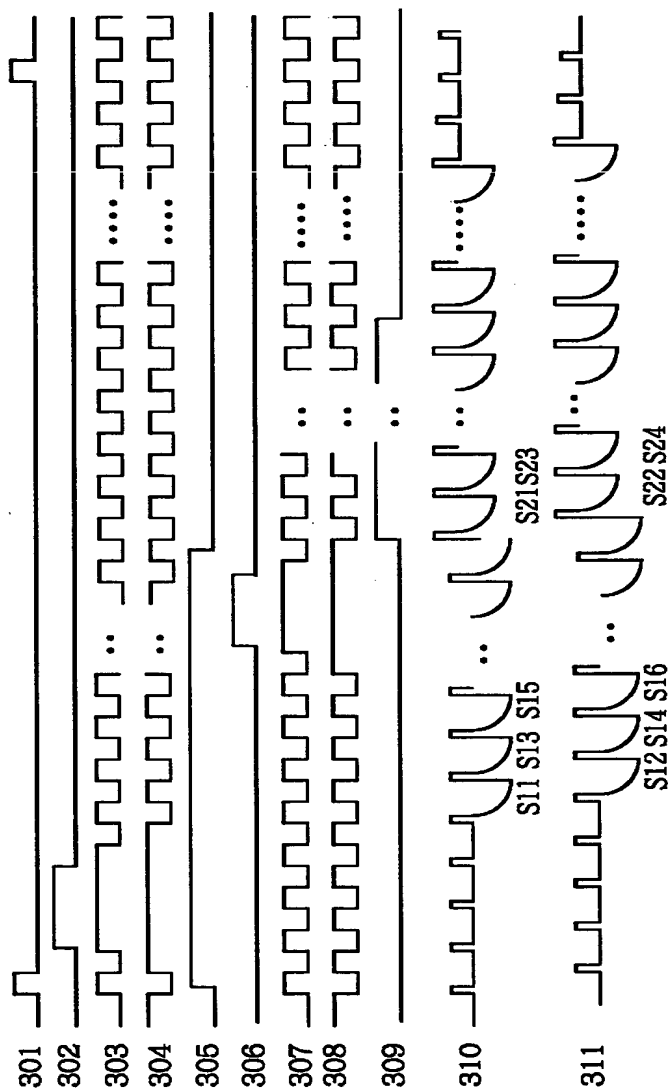
【図 1】



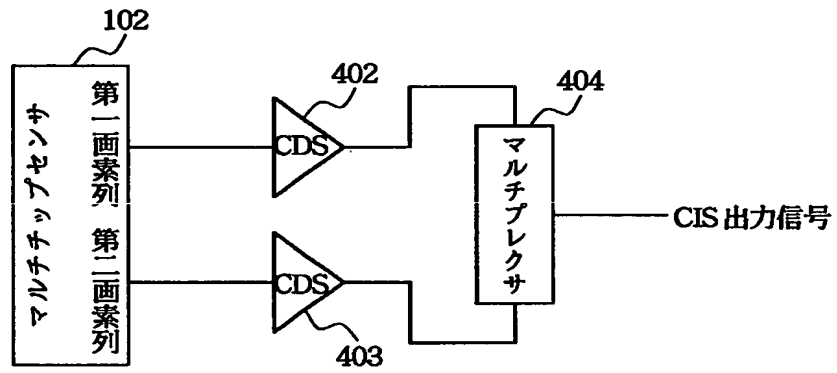
【図 2】



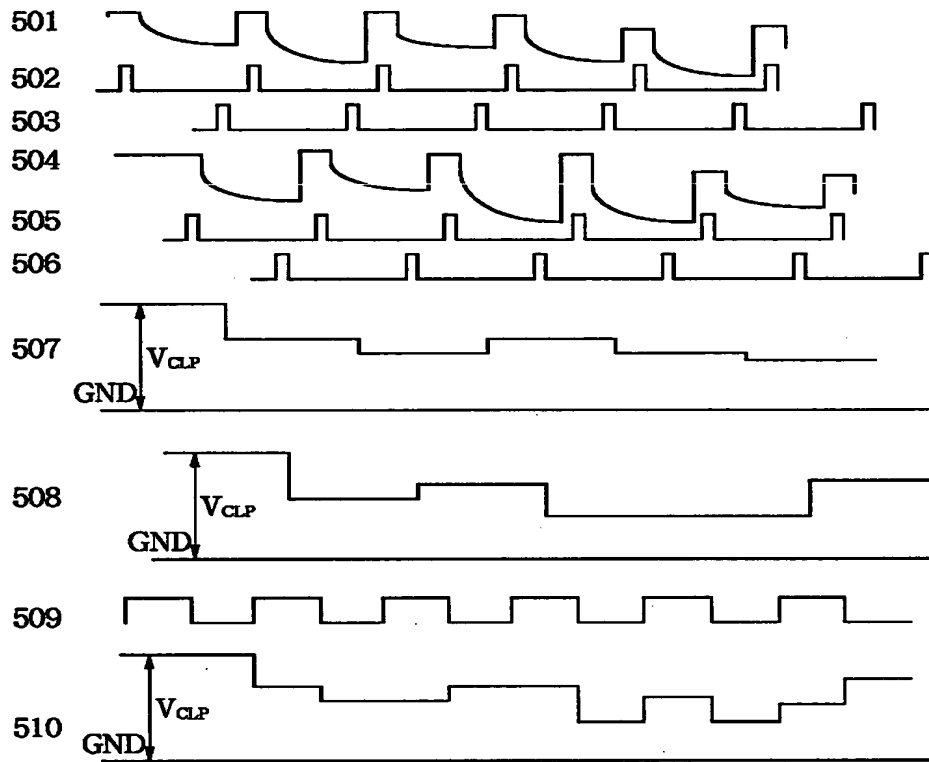
【図 3】



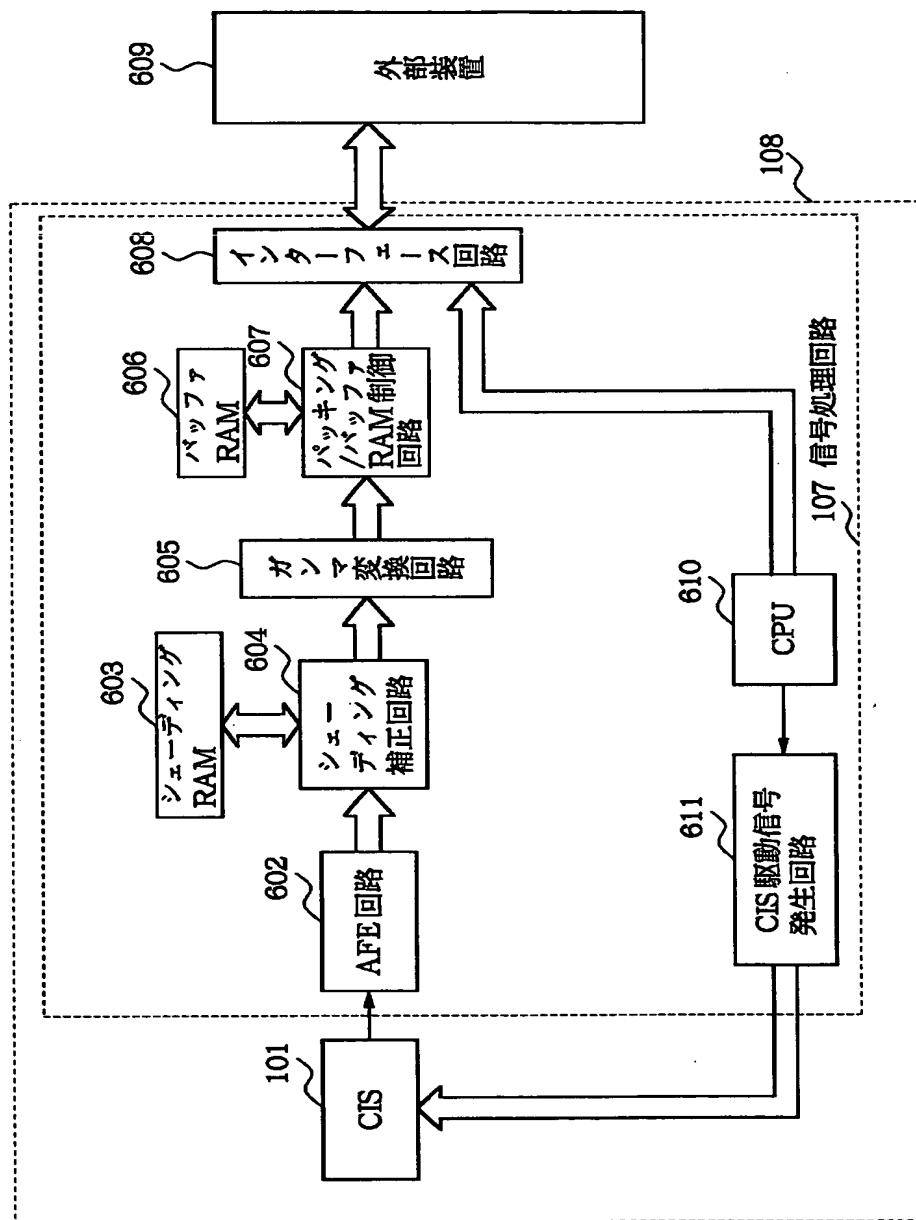
【図 4】



【図 5】

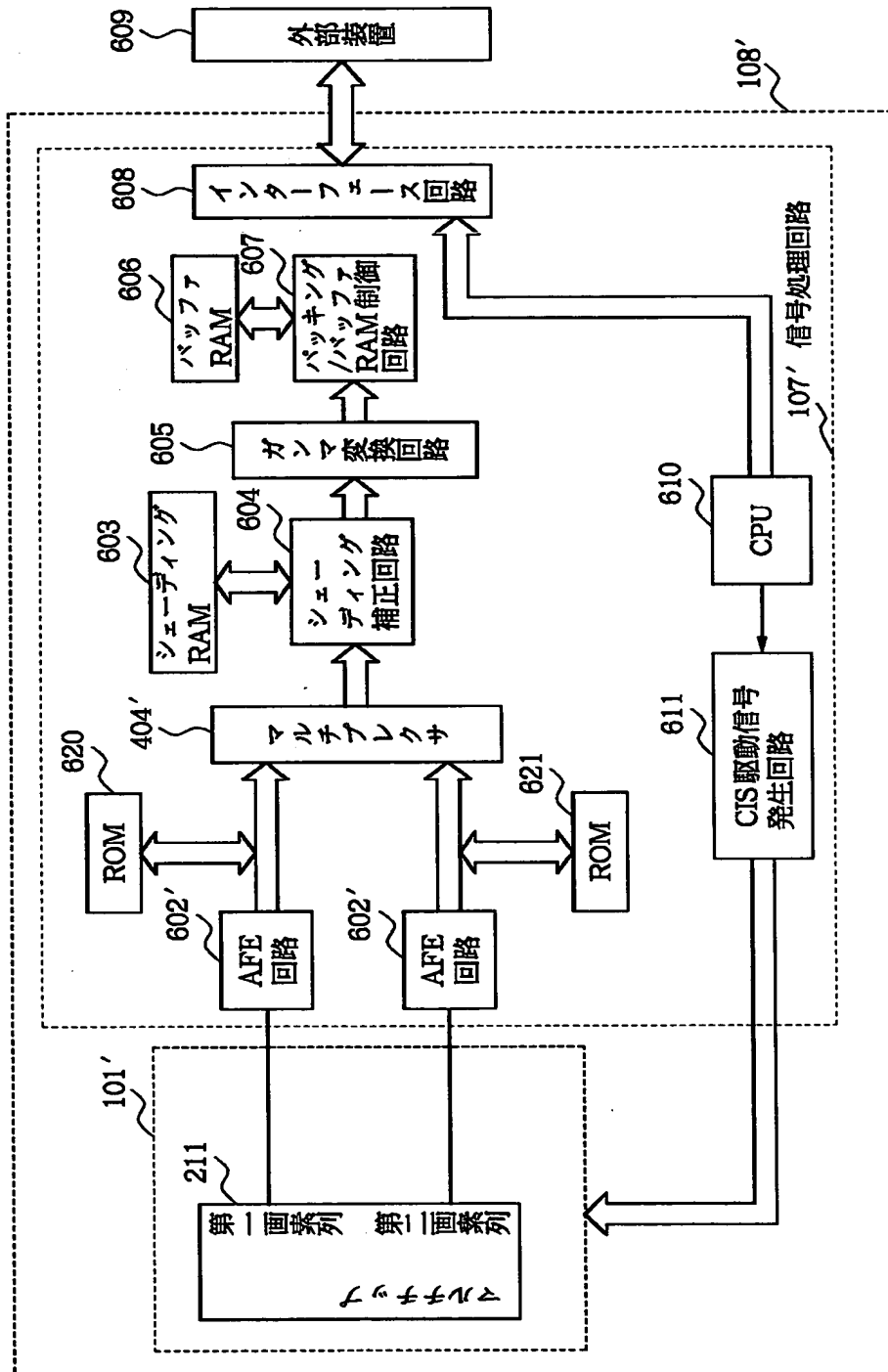


【図 6】





【図 7】



【書類名】            要約書

【要約】

【課題】    感度低下をなくし、高解像な画像取得を課題とする。

【解決手段】    複数の画素が配列された第 1 の画素列と、前記第 1 の画素列に対して主走査方向にずらして複数の画素を配列した第 2 の画素列とを同一半導体チップ上に形成したセンサチップを複数接続した画像処理装置を提供する。

【選択図】            図 2

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日

[変更理由] 新規登録

住 所 東京都大田区下丸子3丁目30番2号  
氏 名 キヤノン株式会社